

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-039573

(43)Date of publication of application : 25.02.1986

(51)Int.Cl.

H01L 27/14

H04N 1/04

(21)Application number : 59-160125

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 30.07.1984

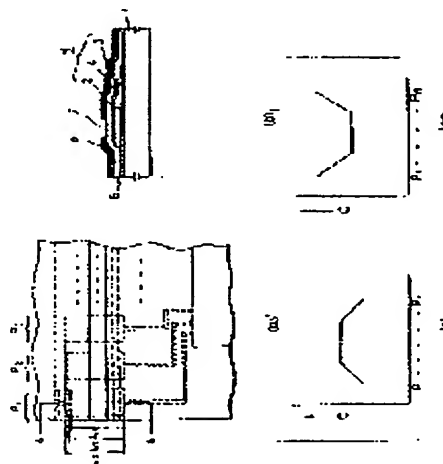
(72)Inventor : SATO SHIGERU
OZAWA TAKASHI

(54) ORIGINAL READING EQUIPMENT

(57)Abstract:

PURPOSE: To prevent generation of unevenness in read output correcting the dispersion of electrostatic capacity due to an attached circuit such as a wiring by adjusting the electrostatic capacity of a photo detector itself.

CONSTITUTION: A contact type image sensor has photo detectors $P_1 \dots P_n$ installed in parallel on an insulating glass substrate 1. The photoelectric converter 5 of each photo detector $P_1 \dots P_n$ is covered with a shading film which has a translucent protection film 6 and an aperture 7. The length $L_1 \dots L_n$ of a bottom electrode 2 is constant in the group at the center and is shorter toward the end. The area $G_1 \dots G_n$ where the bottom electrode 2 and a translucent electrode 4 are overlapped satisfies the relation of a formula $G_1 < G_2 < G_3 \dots G_{n-2} > G_{n-1} > G_n$ and the electrostatic capacity $C_{11} \dots C_{1n}$ of the photo detector itself is shown in Fig. (a). The electrostatic capacity $C_{21} \dots C_{2n}$ due to a wiring has a distribution as shown in Fig. (b) and the sum of the capacity $C_{11} \dots$ and the capacity C_{21} is nearly constant for each photo detector $P_1 \dots P_n$ whereby the output characteristic of each photo detector is made even.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-39573

⑬ Int. Cl.⁴H 01 L 27/14
H 04 N 1/04

識別記号

1 0 3

庁内整理番号

7525-5F
8020-5C

⑭ 公開 昭和61年(1986)2月25日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 原稿読み取り装置

⑯ 特 願 昭59-160125

⑰ 出 願 昭59(1984)7月30日

⑱ 発 明 者 佐 藤 茂 海老名市本郷2274番地 富士ゼロックス株式会社海老名事業所内

⑲ 発 明 者 小 澤 隆 海老名市本郷2274番地 富士ゼロックス株式会社海老名事業所内

⑳ 出 願 人 富士ゼロックス株式会社 東京都港区赤坂3丁目3番5号

㉑ 代 理 人 弁理士 木村 高久

明 細 書

1. 発明の名称

原稿読み取り装置

2. 特許請求の範囲

基板上に複数の受光素子を並設せしめてなる原稿読み取り装置において、所定の遮光手段によって、各受光素子の受光面積を規定するとともに、各受光素子の下部電極と上部電極との重なり合う部分の面積を各受光素子毎に設定し、受光素子自体のもつ静電容量によって、配線部等の付属回路による静電容量のばらつきを補正するようにしたことを特徴とする原稿読み取り装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は原稿読み取り装置に係り、特に密着型イメージセンサにおける読み取り出力のむらを低減させるようにした受光素子の設計に関する。

〔従来技術〕

アモルファス水素化シリコン(a-Si:H)等のアモルファス半導体あるいは硫化カドミウム(CdS_e)、

セレン化カドミウム(CdSe)等の多結晶薄膜を光導電体層として使用したサンドイッチ型の受光素子は、優れた光電変換特性を有しておりかつ構造が簡単で大面積化が容易であることから、原稿と同一幅のセンサ部を有する長尺読み取り素子を用いた密着型イメージセンサ、すなわち、縮小光学系を必要としない大面積デバイスとして、原稿読み取り装置への幅広い利用が注目されている。

このイメージセンサのセンサ部の基本構造は、第6図(a)図および第6(b)図(第6(a)図のa-a断面図)に示す如く、基板101上に1列に配列された多数個の下部電極102と透光性の上部電極103とによって光導電体層104を挟んだ構造となっており、この多数個の受光素子105が夫夫、等価的には、第7図に示す如く、フォトダイオード105aとコンデンサ105bとの並列回路となっている。そして密着型イメージセンサにおいては、長尺基板上に、このような受光素子105が原稿を解像するのに必要な密度(例えば8本/mm)で主走査方向に必要な数だけ配列されており、

これらは夫々配線部106を介して駆動部Dに接続されている。駆動部Dは電源107とシフトレジスタ108と、このシフトレジスタの駆動によって順次、各センサと電源107との間のスイッチングを行なうように各センサに接続されるモス電界効果型トランジスタ109(MOSFET)とから構成され、該シフトレジスタ108の1回目の駆動に基づいて各MOSFETが順次オン・オフされると、電源107と各センサ105との間で順次閉ループが形成され、センサ自体によるコンデンサ105bと配線部106によるコンデンサ106bとに蓄えられる。この電荷は各センサに入射した光量により中和せしめられるか又は残留するが、この後、2回目のシフトレジスタ108の駆動により再び各MOSFETが順次オン・オフされ、これらのコンデンサ105b、106bの再充電が行なわれると信号線109には、各ビット毎のコンデンサ105b、106bの残留電荷に応じた電流が流れる。この電流がビット毎に出力されて、この密着型イメージセンサの読み取り出力となる。この動作が一ライ

ン毎に繰り返されて、原稿読み取りを行なうわけである。

ところで、この配線部は通常、駆動部Dと各センサを接続するように、センサ部と同一の基板101上に形成されるが、シフトレジスタあるいはMOSFETとのワイヤボンディング等による接続上の問題から各センサによって長さに差を生じることとは免れ得ない事実であり、従って配線部106によって形成されるコンデンサ106bで表わされる容量 C_x にも当然ばらつきを生じることになる。

ところで、第7図のコンデンサ105bの容量を C_s 、コンデンサ105bの初期チャージを V_0 ($V_0 = V_s$)、フォトダイオード105aを流れるフォトレントを I_p としてラプラス演算子 S を用いて第7図の回路を解析すると次のようになる。すなわち第7図の回路を1つの受光素子についてのみ着目して等価回路を移くと第8(a)図のようになりこの回路は光電変換素子に光があたっていない場合は第8(b)図のように等価され、光があたっている場合は第8(c)図のように等価される。

ここで第8(b)図より

$$\frac{V_s}{S} = I_s \left(\frac{1}{SC_s} + \frac{1}{SC_x} \right) \quad (1)$$

第8(c)図より

$$\frac{V_s}{S} = I_A \left(\frac{1}{SC_x} \right) + \left(I_A - \frac{I_p}{S} \right) \frac{1}{SC_s} \quad (2)$$

が成立する。

$$\text{また } V_{out(s)} = (I_A - I_p) \frac{1}{SC_x} \quad (3)$$

で与えられる。

ところで式(1)より

$$I_s = \left(\frac{C_s C_x}{C_s + C_x} \right) V_s \quad (4)$$

であり、式(2)より

$$I_A = \left(\frac{1}{C_s + C_x} \right) \left(C_s C_x V_s + \frac{C_x I_p}{S} \right) \quad (5)$$

であるので、式(3)、(4)、(5)より

$$\begin{aligned} V_{out(s)} &= \frac{1}{C_s + C_x} \frac{C_x I_p}{S} \left(\frac{1}{SC_x} \right) \\ &= \frac{1}{C_s + C_x} \left(\frac{1}{S} \right) I_p \end{aligned}$$

となる。したがって

$$V_{out(t)} = \frac{I_p}{C_s + C_x} t \quad (6)$$

となる。第(6)式から明らかになることは第7図に示した密着型イメージセンサの各ビットの読み取り出力はコンデンサ105bと106bの容量の和によって左右されるのである。

〔発明が解決すべき問題点〕

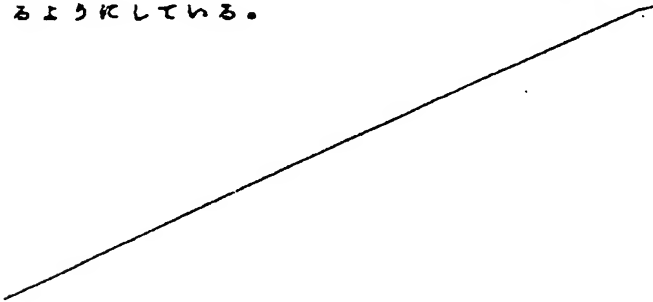
ところで通常、センサ自体は、すべて互いに同一となるように均一に形成されているため、センサ自体によって形成されるコンデンサ105bとしての容量 C_s は一定であり、従って各ビットの出力は上述したコンデンサ106bで表わされる容量 C_x (配線部106によって形成される容量)のばらつきに左右されることになり、これにより該密着型イメージセンサでは読み取り出力にむらが発生するという問題があった。

〔問題点を解決するための手段および作用〕

上記問題点を解決するため、本発明では、受光素子としての特性を一定に維持すべく各受光素子

の受光面積を規定する一方、下部電極と上部電極との重なり合う部分の面積を各素子毎に設定し、受光素子自体のもつ静電容量を調整することにより、配線部等の付属回路による静電容量のばらつきを補正し、受光素子自体のもつ静電容量と配線部の静電容量との和が一定となるようにし、読み取り出力むらの発生を防止するようにしている。

なお、上部電極と下部電極との重なり部分の面積を変化させると、受光素子（光電変換部）として機能する部分の面積も変化し、従って入射光量も変化するため、光電電流も変化することになる。従って本発明では、スリット等によって受光面積を規定した上で、前記重なり部分の面積を調整するようにしている。



（幅 W = 一定）、素子毎に下部電極 2 と透光性電極 4 との重なり部分の面積の調整がなされている。すなわち、第 1 図にその 1 部を示す如く、第 1 の受光素子 P_1 、第 2 の受光素子 P_2 、第 3 の受光素子 P_3 、…第 n の受光素子 P_n の下部電極の長さ L_1 、 L_2 、 L_3 … L_n は、中央部にあるグループでは一定であり両端に近づく程小さくなっており、次式(1)を満たす。

$$L_1 < L_2 < L_3 \dots\dots L_{n-2} > L_{n-1} > L_n \dots\dots (1)$$

従って、下部電極 2 と透光性電極 4 との重なり部分の面積 G_1 、… G_n は、次式(2)の関係を満たしており、

$$G_1 < G_2 < G_3 \dots\dots G_{n-2} > G_{n-1} > G_n \dots\dots (2)$$

素子自体の静電容量 C_{11} 、… C_{1n} は、第 3 (a) 図に示す如く、中央部にあるグループでは一定、両端 P_1 、 P_n に近づく程小さくなっている。（横軸は素子番号を示し、縦軸は静電容量を示す。）

また、前記透光膜 8 に設けられている開口部 7 は、一定の幅で各受光素子 P_1 、… P_n 全体にわたるように形成されており、従って受光面積（光電変

【実施例】

以下、本発明の実施例について図面を参照しつつ詳細に説明する。

本発明実施例の密着型イメージセンサは、第 1 図および第 2 図に示す如く、絶縁性のガラス基板 1 上に n 個の受光素子 P_1 、… P_n が 1 列に並設されると共に、これらの各受光素子は、前記ガラス基板 1 上に形成された配線部を介して駆動部に接続されている。（第 2 図は第 1 図の A-A 断面を示す。）

各受光素子 P_1 、… P_n はいずれも、前記ガラス基板 1 上に所望の形状にパターンニングされた下部電極 2 としてのクロム電極と、この上層に順次積層せしめられる光導電体層 3 としてのアモルファス水素化シリコン層と透光性電極 4 としての酸化インジウム錫層とより構成される光電変換部 5 を有しており、この光電変換部 5 は透光性の保護膜 6 によって被覆されると共に更にその上層を開口部 7 を有する透光膜 8 で被覆されている。前記下部電極 2 は各素子毎に夫々所定の長さを有しており

換部として機能する部分の面積）は一定となっている。

ここで、配線部による静電容量 C_{21} 、… C_{2n} は、第 3 (b) 図に示す如き分布を示している。従って、素子自体の静電容量 C_{11} 、… C_{1n} と配線部による静電容量 C_{21} 、… C_{2n} との和は各受光素子 P_1 、… P_n においてほぼ一定となり、第 3 (c) 図に示す如く、各素子の出力特性は均一である。

このように、かかる構成によれば、出力むらがなく、正確な読み取りを行なうことのできる密着型イメージセンサを得ることが可能となる。

また、シェーディング補正等の補正回路を必要としないため、回路的にもコスト的にも有利である。

更に、前記透光膜は受光素子の保護膜の役割をも果たすため、素子の機械的強度を増すのに有効な働きをなしている。

比較のために、従来例の如く、下部電極と透光性電極との重なり部分の面積を一定にした場合（他の構成は実施例と同様）の出力特性の分布を

第3(d)図に示す。第3(c)図と第3(d)図との比較から、本発明の原稿読み取り装置によれば出力むらの発生が大幅に低減されることは明らかである。

次に、この密着型イメージセンサの製造方法について説明する。

パターン設計を行なうにあたってはまず下部電極の幅 W および長さ L 、各素子の間隔、光導電体層および透光性電極の幅、遮光体の開口幅等を概略的に決定し、その値に対応するように、駆動部と各素子とを接続するための配線部のパターン設計を行なう。

そして、該配線部の配線長、線間距離、基板の誘電率等のデータをもとにして、配線部における静電容量 C_2, \dots, C_{2n} を各素子 P_1, \dots, P_n 毎に算出する。

これにより、理想合成容量 C から、配線部における静電容量 C_2, \dots, C_{2n} を減じた値すなわち $C_{1m} = C - C_{2m}$ が夫々の素子部における静電容量 C_{1m} となるように各素子毎に必要な重なり部分 G_1, \dots, G_n の面積を決定する。

に形成したが、第5図に示す如く、光電変換部5'上に直接開口部27を有する遮光膜28を形成し、その上層を透光性の保護膜26で被覆するようにしても良い。

〔発明の効果〕

以上、説明してきたように、本発明の原稿読み取り装置によれば、各受光素子の受光面積を規定する一方、素子自体の静電容量に配線部等の付属回路による静電容量も含めた各素子毎の合成容量が一定となるように補正すべく、下部電極と上部電極との重なり合う部分の面積を各素子毎に設定し、受光素子自体のもつ静電容量を調整するようにしているため、読み取り出力にむらが生じることなく、正確な読み取りを行なうことが可能となる。

また、シェーディング補正回路等の他の補正回路を付加する必要がなく、製造コストも低減される。

4. 図面の簡単な説明

第1図は本発明実施例の原稿読み取り装置の1

このようにして算出された重なり部分の面積から各素子毎の下部電極の長さ L_1, \dots, L_n を決定する。

このように、パターン設計が終了すると、これに従ってガラス基板1上に通常の手段を用いて各素子の作り込みがなされるわけであるが、遮光膜の形成工程を付加することと、下部電極のパターニングに際してフォトリソエッチング工程で用いられるフォトマスクのパターンを所定の電極形状が得られるように変更するのみで良く、他の工程では従来の工程を変更することなく製造でき、製造が容易である。

なお、実施例においては、下部電極と透光性電極との重なり部分の面積を調整するにあたり下部電極の電極幅 W を一定とし、電極の長さ L を調節するようにしたが、遮光膜に形成する開口部を一体的に形成するのではなく、第4図に示す如く、各素子毎に窓部17を独立的に形成するようにし、電極幅を可変にする等、他の方法をとっても良いことは言うまでもない。

また、実施例においては遮光膜8は保護膜6上

部を示す図、第2図は第1図のA-A断面を示す図、第3(a)図は本発明実施例の原稿読み取り装置における各素子 P_1, \dots, P_n の素子自体による静電容量の分布を示す図、第3(b)図は、同装置の配線部による静電容量の分布を示す図、第3(c)図は同装置の出力電流の分布を示す図、第3(d)図は従来例の装置における出力電流の分布を示す図、第4図は、本発明の他の実施例を示す図、第5図は、本発明の更に他の実施例を示す図、第6(a)図および第6(b)図は従来例の原稿読み取り装置を示す図、第7図は原稿読み取り装置の等価回路を示す図、第8(a)図、第8(b)図および第8(c)図は第7図の回路を解析するための等価回路図である。

1 0 1 … 基板、1 0 2 … 下部電極、1 0 3 … 上部電極、1 0 4 … 光導電体層、1 0 5 … 受光素子、1 0 5 a … フォトダイオード、1 0 5 b … コンデンサ、1 0 6 … 配線部、1 0 7 … 電源、1 0 8 … シフトレジスタ、1 0 9 … MOSFET、D … 駆動回路部
1 … ガラス基板、2 … 下部電極、3 … 光導電体層、4 … 透光性電極、5 … 光電変換部、6 … 保護膜、

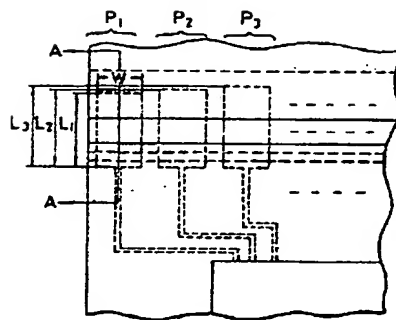
7 … 開口部、8 … 遮光膜、 $P_1 \cdots P_n$ … 受光素子、
1 7 … 窓部、2 7 … 開口部、2 8 … 遮光膜。

出願人代理人

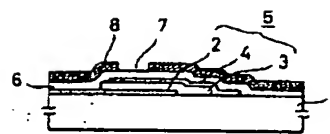
木村 高久



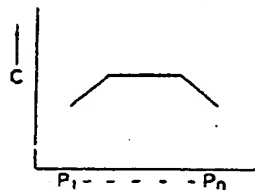
第1図



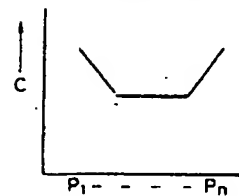
第2図



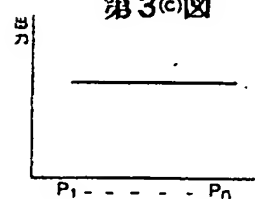
第3(a)図



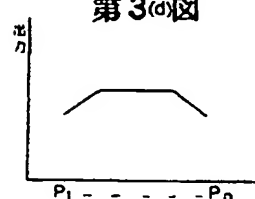
第3(b)図



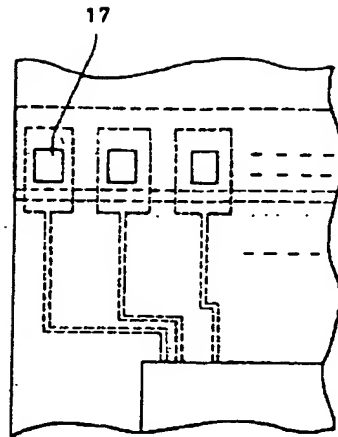
第3(c)図



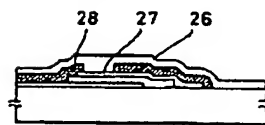
第3(d)図



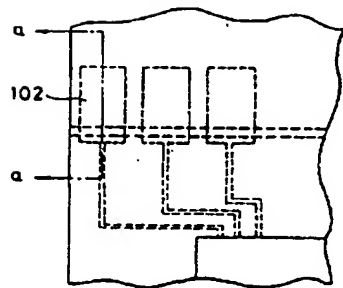
第 4 図



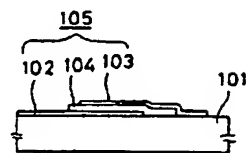
第 5 図



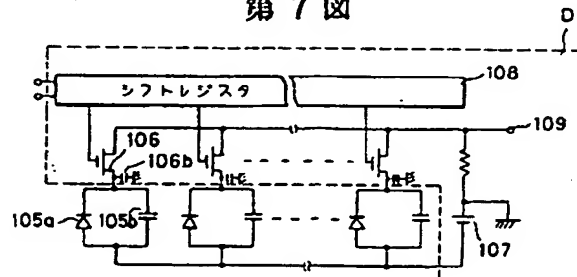
第 6(a) 図



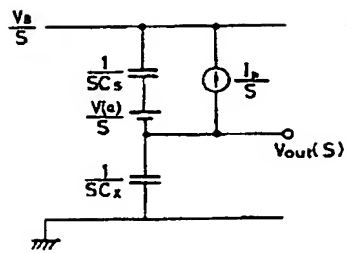
第 6(b) 図



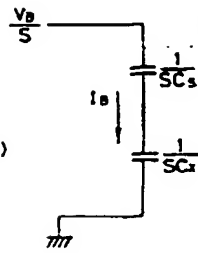
第 7 図



第8(a)図



第8(b)図



第8(c)図

